

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-278476

(43)Date of publication of application : 27.09.2002

(51)Int.Cl.

G09F 9/30
 G02F 1/13
 G02F 1/1368
 G09F 9/00
 H01L 21/3205
 H01L 29/786

(21)Application number : 2001-072832

(71)Applicant : DISPLAY TECHNOLOGIES INC
TFPD KK

(22)Date of filing : 14.03.2001

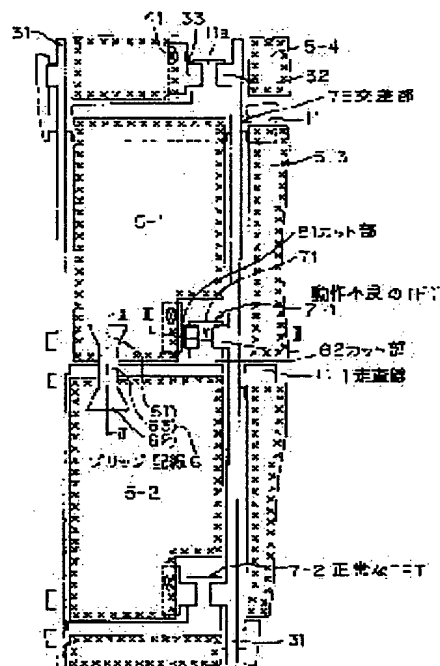
(72)Inventor : TSUKADA ICHIRO

(54) ARRAY BOARD WITH CORRECTED DOT DEFECT, AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an array board and a manufacturing method therefor, permitting to keep a pixel opening ratio high, and also surely and easily repair a dot defect, and further make electric resistance of the wiring for connecting between pixel electrodes 5-1 sufficiently small, in the array board where the dot defect is corrected (repaired) by electrically connecting a pixel electrode 5-2 relating to the dot defect with the other normal pixel electrode 5-1.

SOLUTION: Bridge wiring 6 made of tungsten or the like is formed by laser CVD using the third higher harmonic wave of YLF laser without arranging a circuit for repairing a dot defect.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-278476
(P2002-278476A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 2 H 0 8 8
	3 3 0		3 3 0 Z 2 H 0 9 2
G 0 2 F 1/13	1 0 1	G 0 2 F 1/13	1 0 1 5 C 0 9 4
1/1368		1/1368	5 F 0 3 3
G 0 9 F 9/00	3 5 2	G 0 9 F 9/00	3 5 2 5 F 1 1 0

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2001-72832(P2001-72832)

(22) 出願日 平成13年3月14日 (2001.3.14)

(71) 出願人 399026155

ディスプレイ・テクノロジー株式会社
滋賀県野洲郡野洲町市三宅800番地

(74) 上記1名の代理人 100059225

弁理士 薦田 瑋子 (外3名)

(71) 出願人 302001686

ティー・エフ・ピー・ディー株式会社
兵庫県姫路市余部区上余部50番地

(74) 上記1名の代理人 100059225

弁理士 薦田 瑋子

(72) 発明者 塚田 一郎

兵庫県姫路市余部区上余部50番地 ディス
プレイ・テクノロジー株式会社内

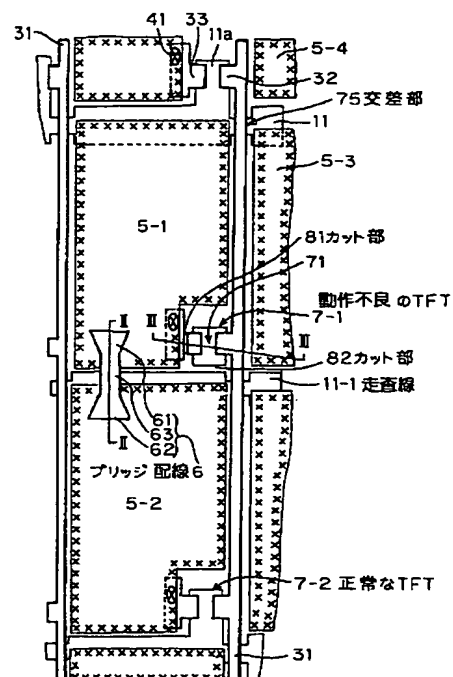
最終頁に続く

(54) 【発明の名称】 点欠陥を矯正したアレイ基板、及び、その製造方法

(57) 【要約】

【課題】 点欠陥に係る画素電極5-2を正常な他の画素電極5-1と電気的に接続させることにより点欠陥を矯正（リペア）したアレイ基板、及びその製造方法において、画素開口率を高く保つことができるとともに、点欠陥のリペアを確実かつ容易に行うことができ、また、画素電極5-1、同士の接続する配線電気抵抗を十分に小さくすることができるものを提供する。

【解決手段】 点欠陥リペア用の回路を設けず、Y L F レーザーの第3高調波を用いるレーザーCVDにより、タングステン等からなるブリッジ配線6を作成する。



【特許請求の範囲】

【請求項1】複数の走査線と、この走査線に略直交して配列される複数の信号線と、これら走査線及び信号線がなす各交点にそれぞれ対応するようにマトリクス状に配列される画素電極と、前記各交点の近傍にそれぞれ設けられ前記信号線から前記画素電極への信号入力を行なうスイッチング素子とを備え、

前記走査線の一部またはその延在部と、前記画素電極またはこれに電氣的に接続する導電体パターンとの間で補助容量を形成した平面表示装置用のアレイ基板において、

前記スイッチング素子の動作不良により点欠陥をなす一の前記画素電極から、該一の画素電極に隣り合う他の前記画素電極へと、レーザーCVDにより堆積されたブリッジ配線が掛け渡され、これにより前記一の画素電極と前記他の画素電極とが互いに電氣的に接続されていることを特徴とするアレイ基板。

【請求項2】複数の走査線と、この走査線に略直交して配列される複数の信号線と、これら走査線及び信号線がなす各交点にそれぞれ対応するようにマトリクス状に配列される画素電極と、前記各交点の近傍にそれぞれ設けられ前記信号線から前記画素電極への信号入力を行なうスイッチング素子とを備えた平面表示装置用のアレイ基板を製造する方法であって、

一連の成膜及びパターニングにより、前記走査線、前記信号線、前記画素電極及び前記スイッチング素子を完成させる成膜・パターニング工程と、

この成膜・パターニング工程の後に、前記スイッチング素子の動作不良による点欠陥を検出する点欠陥検出工程と、

この点欠陥検出工程にて検出された点欠陥に係る一の前記画素電極から、該一の画素電極に隣り合う他の前記画素電極へと、レーザーCVDによりブリッジ配線を掛け渡し、これにより、前記一の画素電極と前記他の画素電極とを互いに電氣的に接続するブリッジ配線工程とを含むことを特徴とするアレイ基板の製造方法。

【請求項3】前記スイッチング素子が薄膜トランジスタであり、

前記点欠陥検出工程の後に、前記一の画素電極に電氣的に接続された薄膜トランジスタのソース電極またはゲート電極をレーザーにより切断し、これにより該薄膜トランジスタのチャネル部の個所を、前記一の画素電極、または前記走査線から分離する工程を含むことを特徴とする請求項2または3記載のアレイ基板の製造方法。

【請求項4】前記画素電極が透明導電材料からなり、前記ブリッジ配線工程が、YLFレーザーまたはYAGレーザーの第3高調波を用いて行われることを特徴とする請求項2または3記載のアレイ基板の製造方法。

【請求項5】前記アレイ基板がカラー表示を行う液晶表示装置に用いられるものであり、前記点欠陥に係る前記

一の画素電極に割り当てられた表示色と、これに電氣的に接続される前記他の画素電極に割り当てられた表示色とが同一であることを特徴とする請求項2または3記載のアレイ基板の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、液晶表示装置に代表される平面表示装置等に用いられるアレイ基板及びその製造方法に関する。特に、画素電極用のスイッチング素子の動作不良に起因する画素表示不良（点欠陥）を矯正したアレイ基板及びその製造方法に関する。

【0002】

【従来の技術】近年、液晶表示装置等の平面表示装置は、薄型、軽量、低消費電力の特徴を生かして、パーソナル・コンピュータ、ワードプロセッサあるいはTV等の表示装置として、更に投射型の表示装置として各種分野で利用されている。

【0003】中でも、各画素電極にスイッチ素子が電氣的に接続されて成るアクティブマトリクス型表示装置は、隣接画素間でクロストークのない良好な表示画像を実現できることから、盛んに研究・開発が行われている。

【0004】以下に、光透過型のアクティブマトリクス型液晶表示装置を例にとり、その構成について簡単に説明する。

【0005】一般に、アクティブマトリクス型液晶表示装置は、マトリクスアレイ基板（以下アレイ基板と呼ぶ）と対向基板とが所定の間隔をなすよう近接配置され、この間隔中に、両基板の表層に設けられた配向膜を介して液晶層が保持されて成っている。

【0006】アレイ基板においては、ガラス等の透明絶縁基板上に、上層の金属配線パターンとして例えば複数本の信号線と、下層の金属配線パターンとして例えば複数本の走査線とが絶縁膜を介して格子状に配置され、格子の各マス目に相当する領域にITO(Indium-Tin-Oxide)等の透明導電材料からなる画素電極が配される。そして、格子の各交点部分には、各画素電極を制御するスイッチング素子が配されている。スイッチング素子が薄膜トランジスタ（以下、TFTと略称する。）である場合には、TFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電氣的に接続され、さらにソース電極は画素電極に電氣的に接続されている。

【0007】対向基板は、ガラス等の透明絶縁基板上にITO等から成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0008】アレイ基板は、複数の成膜及びパターニングを経て製造され、通常、この製造が終了した時点で検査が行なわれ、各走査線や各信号線における断線や短絡（ショート）の有無、及び画素欠陥などが検出される。

【0009】アレイ基板の検査の際、スイッチング素子の不良に起因する画素欠陥が発見された場合には、該画素に係る画素電極と、信号線に沿った方向の隣の画素電極とを電氣的に接続するリペアが行なわれており、このためのリペア回路はタンデムリペア回路または縦2連結リペア回路と呼ばれている。

【0010】図4～7を用いて従来のアレイ基板について説明する。

【0011】一の走査線11-1を挟む二つの画素電極5-1、5-2のうち、一の画素電極5-1が、これに接続するTFT7-1を通じて、該一の走査線11-1の走査パルスによるスイッチング駆動を受ける。一方、他方の画素電極5-2、すなわち前記一の走査線11-1によるスイッチング駆動を受けない方の画素電極5-2は、その延在部51が前記一の走査線11-1を越えて、前記一の画素電極5-1に係る画素開口中に延びている。

【0012】そして、前記一の画素電極5-1と、この画素電極5-1のスイッチングに係る前記一の走査線11-1との間の間隙には、タンデムリペア回路65が設けられている。タンデムリペア回路65とは、一の画素電極5-1に係るTFT7-1が作動しない不良である場合に、一の画素電極5-1と、前記一の走査線11-1を介して隣り合う他の画素電極5-2とを電氣的に接続するためのものである。

【0013】図示の例で、タンデムリペア回路65は、一の画素電極5-1と、隣の他の画素電極5-2からの延在部51との間に掛け渡されたブリッジ状のリペア用フロートパターン13、及びこれにほぼ輪郭の一致する接続端子部36とからなる。ここで、リペア用フロートパターン13は、走査線11及びゲート電極11aと同時に形成される短冊状パターンであり、接続端子部36は、信号線31等と同時に形成される低融点金属のパターンである。

【0014】

【発明が解決しようとする課題】上記のようなタンデムリペア回路を用いるリペア方法であると、タンデムリペア回路を予め全ての画素電極に対応して設ける必要があるため、透過型の平面表示装置にあつては、画素開口率が低下し、バックライト光の利用率が低下してしまう。

【0015】また、図7に示すように、レーザー光を用いて小面積の個所にスポット溶接を行うことで電氣的接続を行うため、接触抵抗が高くなり、これにより、書き込み速度が高くなった場合に十分に追従できないことがある。また、特に、狭小な端子部でのスポット溶接による接合は容易でなく、接合に失敗する確率がかなり高かった。

【0016】一方、画素電極を走査線または信号線と導通させることにより、ノーマリホワイトモードにおいて黒表示を行わせる減点化（黒点化）によるリペアについても種々検討されている。しかし、この場合、画素電極

同士を連結させた場合と同程度の表示品位の正常化すなわち同程度のリペアを達成することはできない。また、走査線上に補助容量(Cs)形成用の島状金属パターンを有するタイプでない場合、リペア用の回路を別途設ける必要があり、上記のタンデムリペア回路を設ける場合と同様の問題があった。

【0017】本発明は、上記問題点に鑑みなされたものであり、点欠陥に係る画素電極を正常な他の画素電極と電氣的に接続させることにより点欠陥を矯正（リペア）したアレイ基板、及びその製造方法において、画素開口率を高く保つことができるとともに、点欠陥のリペアを確実かつ容易に行うことができるものを提供する。また、この際に、他の欠陥や不良を引き起こさないものを提供する。特に、アレイ基板のパターニングについて設計変更を行うことなく、点欠陥のリペアを行うことを可能にしたものを提供する。

【0018】

【課題を解決するための手段】請求項1のアレイ基板は、複数の走査線と、この走査線に略直交して配列される複数の信号線と、これら走査線及び信号線がなす各交点にそれぞれ対応するようにマトリクス状に配列される画素電極と、前記各交点の近傍にそれぞれ設けられ前記信号線から前記画素電極への信号入力を行なうスイッチング素子とを備え、前記走査線の一部またはその延在部と、前記画素電極またはこれに電氣的に接続する導電体パターンとの間で補助容量を形成した平面表示装置用のアレイ基板において、前記スイッチング素子の動作不良により点欠陥をなす一の前記画素電極から、該一の画素電極に隣り合う他の前記画素電極へと、レーザーCVDにより堆積されたブリッジ配線が掛け渡され、これにより前記一の画素電極と前記他の画素電極とが互いに電氣的に接続されていることを特徴とする。

【0019】上記構成により、点欠陥、すなわち画素電極用TFTの動作不良に起因する製造歩留まり及び生産効率の低下を防ぐことができる。

【0020】請求項2のアレイ基板の製造方法は、複数の走査線と、この走査線に略直交して配列される複数の信号線と、これら走査線及び信号線がなす各交点にそれぞれ対応するようにマトリクス状に配列される画素電極と、前記各交点の近傍にそれぞれ設けられ前記信号線から前記画素電極への信号入力を行なうスイッチング素子とを備えた平面表示装置用のアレイ基板を製造する方法であつて、一連の成膜及びパターニングにより、前記走査線、前記信号線、前記画素電極及び前記スイッチング素子を完成させる成膜・パターニング工程と、この成膜・パターニング工程の後に、前記スイッチング素子の動作不良による点欠陥を検出する点欠陥検出工程と、この点欠陥検出工程にて検出された点欠陥に係る一の前記画素電極から、該一の画素電極に隣り合う他の前記画素電極へと、レーザーCVDによりブリッジ配線を掛け渡

し、これにより、前記一の画素電極と前記他の画素電極とを互いに電氣的に接続するブリッジ配線工程とを含むことを特徴とする。

【0021】このような構成であると、点欠陥が生じたアレイ基板から、十分に正常動作するアレイ基板を、容易かつ確実に得ることができるので、アレイ基板の点欠陥に起因する製造歩留まり及び生産効率の低下を防ぐことができる。

【0022】

【発明の実施の形態】実施例のアレイ基板及びその製造方法について、図1～3を用いて説明する。以下において、TFTを各画素のスイッチング素子とした、透過型液晶表示装置用のアレイ基板を例にとり説明する。

【0023】図1は、実施例のアレイ基板の要部について模式的に示す部分平面図である。また、図2～3の積層断面図は、それぞれ、ブリッジ配線部(図1のII-II断面)、及びTFT近傍(図1のIII-III断面)を示す。

【0024】実施例のアレイ基板10においては、ガラス基板15上に複数の走査線11(ゲート電極線)と、複数の信号線31(ドレイン電極線)とがゲート絶縁膜15(図2～3)を介して互いに直交するように配列される。また、画素電極51が、これら走査線11及び信号線31がなす各交点に対応して、これら走査線11及び信号線31により画される各画素開口の略全体を覆うように、マトリクス状に配列される。また、走査線11及び信号線31がなす各交点の付近には、走査線11に印加される走査パルスにしたがい信号線31から画素電極51への信号入力をスイッチングするためのTFT7が配置されている。

【0025】アレイ基板10には、下層から順に、モリブデン-タングステン合金(MoW)膜またはアルミニウム(Al)系金属膜等からなる、走査線11及びTFT7のゲート電極11aを含む第1導電層のパターンと、酸化シリコン層及び窒化シリコン層からなるゲート絶縁膜15と、アルミニウム(Al)系金属膜等からなる、信号線31、及びTFT7のソース及びドレイン電極33、32を含む第2導電層のパターンと、窒化シリコン膜等からなる層間絶縁膜4と、ITO等の透明導電材料からなる、画素電極51を含む第3導電層のパターンとが重ね合わされて配されている。画素電極51は、層間絶縁膜4を貫くコンタクトホール41を通じてTFT7のソース電極33に電氣的に接続されている(図3)。

【0026】したがって、液晶配向膜を除けば、画素電極51がアレイ基板10の最上層に位置する。

【0027】図1及び図2を用いて、リペア用のブリッジ配線6について説明する。

【0028】アレイ基板の検査工程により、一の画素電極5-1に接続するTFT7-1が動作不良となって点欠陥

を生じていることが判明したならば、この点欠陥に係る画素電極5-1と、これに隣り合う他の画素電極5-2とが、レーザーCVDにより形成されたりペア用のブリッジ配線6を介して電氣的に接続される。ブリッジ配線6により接続される他の画素電極5-2は、正常に動作するTFT7-2に接続された正常画素に係る画素電極である。

【0029】図示の例において、ブリッジ配線6は、平面形状が垂鈴(あれい)状またはひげ付き(serifed)1の字状であり、画素電極5-1、5-2上にあるコンタクト用幅広部61、62と、これらの間の線状部63とからなる。このような構造により、画素電極5とブリッジ配線6との接触抵抗を十分に小さくすることができる。

【0030】図示の例では、点欠陥に係る画素電極5-1と、走査線11を挟んで隣り合う他の画素電極5-2とがブリッジ配線6により接続されている。これは実施例のアレイ基板が、ストライプ型画素配列の液晶表示装置用であることに対応している。ストライプ型画素配列とは、赤(R)表示を行う画素電極、緑(G)表示を行う画素電極、及び、青(B)表示を行う画素電極が、それぞれ、信号線31に沿って整列されているものである。したがって、ストライプ型画素配列の場合には、信号線31に沿った方向に並ぶ画素電極に連結すれば同種の色表示を行う信号の供給を受けることができる。

【0031】同種の表示に係る画素電極と接続するために、画素配列の方式によっては、点欠陥に係る画素電極5-1が、信号線31を挟んで隣り合う他の画素電極5-3にブリッジ配線6を通じて接続される。また、画素配列の方式によっては、走査線11と信号線31との交差部75を通して、斜めに位置する他の画素電極5-4に接続されることも考えられる。

【0032】以下に、レーザーCVDを用いたブリッジ配線6の作成の具体例を挙げる。

【0033】ITO膜からなる画素電極5の上に配線を形成するため、Nd+3:YLFレーザー装置を用い、この第3高調波(349nm)を使用した。

【0034】また、タングステン(W)を局部的に堆積させるように、ソースガスとしてタングステン含有カルボニル化合物、例えばWC(CO)₆を用いた他、キャリアガスとしてアルゴンガス(Ar)を用いた。

【0035】ブリッジ配線6の線状部63を作成する際には、連続発振のレーザー光であって、エネルギーレベルが1000mW(4kHz)以上であるものを用い、配線幅が約15μm、膜厚が約0.3μmの配線層が堆積されるようにした。また、幅広部61、62を作成するためには、同様の条件で、配線幅が25μmとなるようにした。ここで、信号線31の幅は5μmである。

【0036】上記具体例のようにタングステン含有カルボニル化合物を用いるならば、レーザー光による分解・堆積効率が高く、成膜安定性が優れるので、好ましい。

しかし、クロムカルボニル等の他のソースガスも場合により使用可能である。したがって、ブリッジ配線6をクロム(Cr)その他の金属により形成することもできる。一方、キャリアガスとしては、不活性であるアルゴンガスが好ましいが、窒素ガス等も使用可能である。

【0037】ブリッジ配線6の線状部63の幅は、レーザー光のスリット幅やエネルギーレベルを調整して、例えば2~25 μ mの範囲から適宜選択することができる。また、膜厚が例えば1.0 μ m以下の範囲から適宜選択することができる。

【0038】画素電極がITO等からなる透明電極である場合に、YLFレーザーの第3高調波といった紫外線領域のレーザー光を用いる必要がある。しかし、画素電極がアルミニウム系金属等の金属膜からなる反射型電極である場合には、YLFレーザーの第1高調波または第2高調波を用いることができる。

【0039】レーザー光の光源としては、上記具体例のようにYLFレーザーを用いるのが、上記範囲のエネルギーレベルを容易に得られることから好ましい。しかし、場合によっては炭酸ガスレーザーその他のレーザーを使用することも可能である。

【0040】次に、図1及び図3を用いて、リペア用の電極切断部81、82について説明する。

【0041】上記ブリッジ配線6を作成した後または前に、点欠陥に係る画素電極5-1が、動作不良のTFT7-1のチャンネル部71から、レーザーによる金属電極の切断によって、電気的に分離される。

【0042】TFT7は、図3に示すように、走査線11の延在部11aをゲート電極とする逆スタガ型であって、このゲート電極11aを覆う個所に、ゲート絶縁膜15を介して、アモルファスシリコン(a-Si:H)等の半導体活性層34が配置される。この半導体活性層34の上には、略中央のチャンネル部71にチャンネル保護膜2が配置され、チャンネル部以外にリンドーブアモルファスシリコン(n⁺a-Si:H)等からなるオーミックコンタクト層39が積層配置される。さらにこの上には、ソース電極33及びドレイン電極32が配置される。

【0043】リペアの際には、図1及び図3に示すように、ソース電極33が、これに被さる画素電極5-2の端縁に沿って切断され、この電極切断部81により、画素電極5-2と、TFT7-2のチャンネル部71の個所とが電気的に分離される。また、走査線11から枝状に延びるゲート電極11aが、この付け根の個所でレーザーにより切断され、この電極切断部82により、走査線11と、TFT7-1のチャンネル部71の個所とが電気的に分離される。

【0044】このレーザーによる切断の際には、例えば、上記と同様のレーザー装置を用い超音波Qスイッチ素子により変調されてパルス状に発振するレーザー光であって、エネルギーレベルが0.6mJ(2Hz)を越

えるものを用いる。このように、レーザーCVDとレーザーによる切断とを同一の装置で効率よく行うことができる。

【0045】なお、アレイ基板上の、信号線、走査線、TFT及び画素電極等を形成する成膜及びパターンニングの工程は、例えば、特願平8-260572号に提案された製造方法にしたがい、信号線を含む配線層パターンとTFTの半導体層のパターンとを一括してパターンニングすることにより、少ないパターンニング工程により効率的に行うことができる。

【0046】以上に説明した実施例によると、画素開口率を低下させる特別なリペア回路を設ける必要がないため、画素開口率、及びバックライト光の利用効率を向上させることができる。例えば、図4~5に示す従来技術に比べて1~数%画素開口率を向上させることができる。

【0047】また、点欠陥が検出された不良品のアレイ基板から、十分に正常に動作するアレイ基板を確実に得ることができるため、アレイ基板の製品歩留まりを向上することができる。

【0048】しかも、ほとんど最小限の工程負担及び装置負担により確実にリペアを行うことができるため、アレイ基板の製造効率を向上させるとともに、アレイ基板の製造コストを全体として低減することができる。また、不良品を廃棄するための工程及びコスト負担を低減することとなる。

【0049】さらには、リペア配線と画素電極との接触抵抗を十分に小さくすることができ、これにより、画素電極間に掛け渡す配線経路全体の電気抵抗を低くすることができるので、駆動周波数が高くなった場合にも書き込み不足等の不良が生じるのを防ぐことができる。例えば、図4~7に示すようなタンデムリペア回路を用いる場合に比べて、電気抵抗を一桁以上低くすることができる。

【0050】

【発明の効果】アレイ基板の画素開口率を低下させることなく、容易かつ確実に点欠陥を矯正することができ、また、画素電極同士を接続する配線の電気抵抗を十分に小さくすることができる。

【図面の簡単な説明】

【図1】実施例のアレイ基板の要部について模式的に示す部分平面図である。

【図2】実施例のアレイ基板におけるブリッジ配線部の積層断面図(図1のII-II断面)である。

【図3】実施例のアレイ基板におけるTFT近傍の積層断面図(図1のIII-III断面)である。

【図4】従来のアレイ基板の要部について模式的に示す部分平面図である

【図5】従来のアレイ基板におけるタンデムリペア回路の個所(図4のVの個所)を示す拡大平面図である。

【図6】従来のアレ基板上におけるタンデムリペア回路の個所の積層断面図（図4のVI-VI断面）である。

【図7】タンデムリペア回路にレーザー光を照射することによるリペアの様子を示す模式的な積層断面図である。

【符号の説明】

11 走査線

11a TFT7のゲート電極

31 信号線

33 TFT7のソース電極

51 画素電極

6 レーザーCVDにより作成したブリッジ配線

61, 62 コンタクト用幅広部

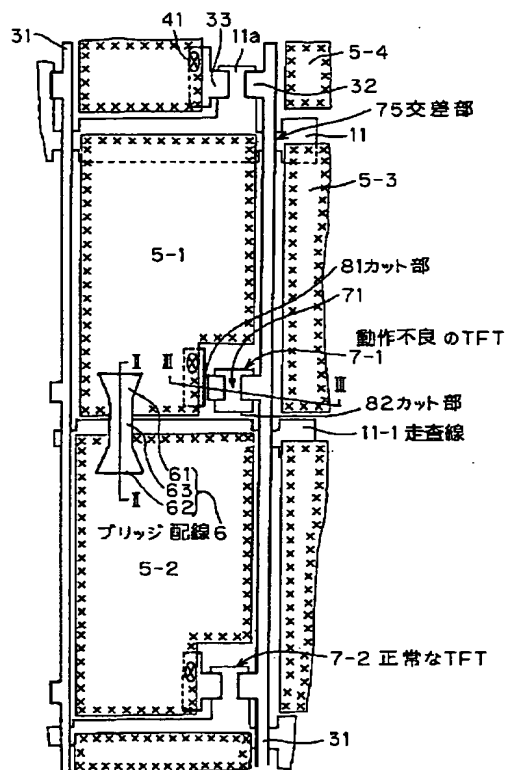
63 線状部

7 TFT

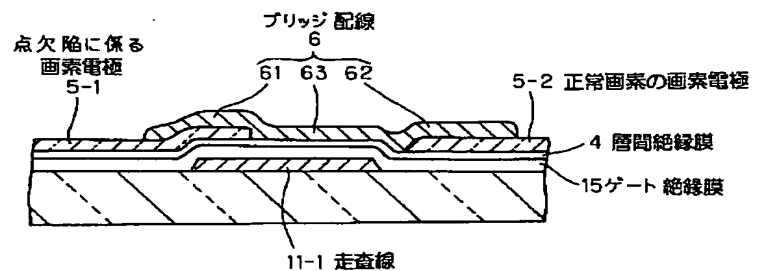
71 チャンネル部

81, 82 レーザーによる電極の切断部

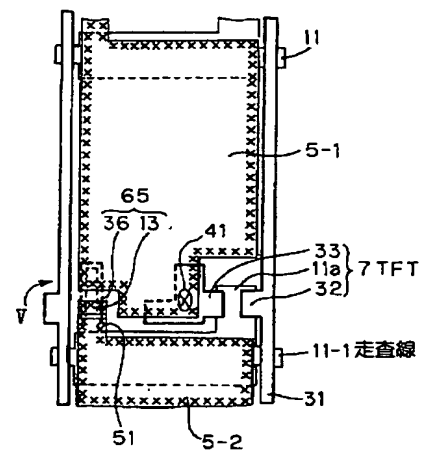
【図1】



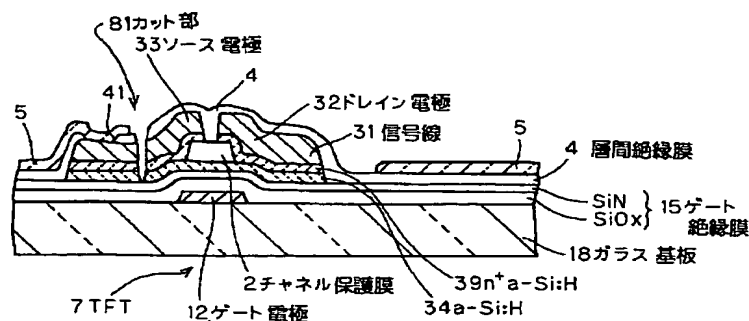
【図2】



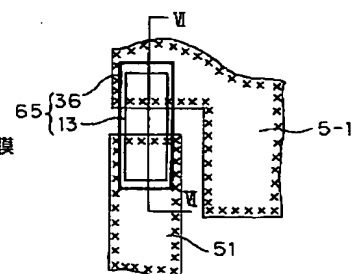
【図4】



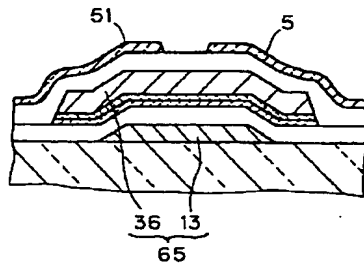
【図3】



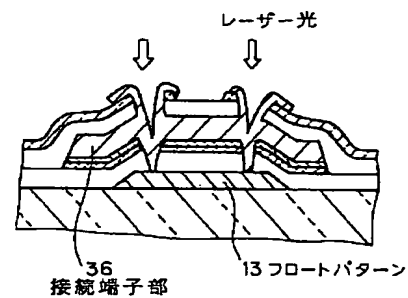
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 7

識別記号

H O 1 L 21/3205
29/786

F I

H O 1 L 21/88
29/78

ターマコード (参考)

Z 5 G 4 3 5
6 1 2 A

F ターム (参考) 2H088 FA11 FA14 FA15 HA08 HA12
HA28 MA20
2H092 JA24 JA34 JA41 JB61 MA07
MA30 NA15 NA16 NA29 PA13
5C094 AA09 BA03 BA43 CA19 EA04
EA05 EA07 EB02 HA08
5F033 GG04 HH08 HH17 HH19 HH22
HH38 KK38 PP02 PP10 PP11
PP31 QQ53 RR04 RR06 VV06
VV15 XX10 XX36
5F110 AA27 BB01 CC07 DD02 EE03
EE06 FF02 FF03 FF09 GG02
GG15 HK03 HK09 HK16 NN02
NN24 NN72 NN73
5G435 AA03 BB12 BB15 CC09 KK09
KK10